

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 2002-222959

(43)Date of publication of application : 09.08.2002

(51)Int.Cl.

H01L 29/786
H01L 21/336
H01L 21/20

(21)Application number : 2001-019570

(71)Applicant : HITACHI LTD

(22)Date of filing : 29.01.2001

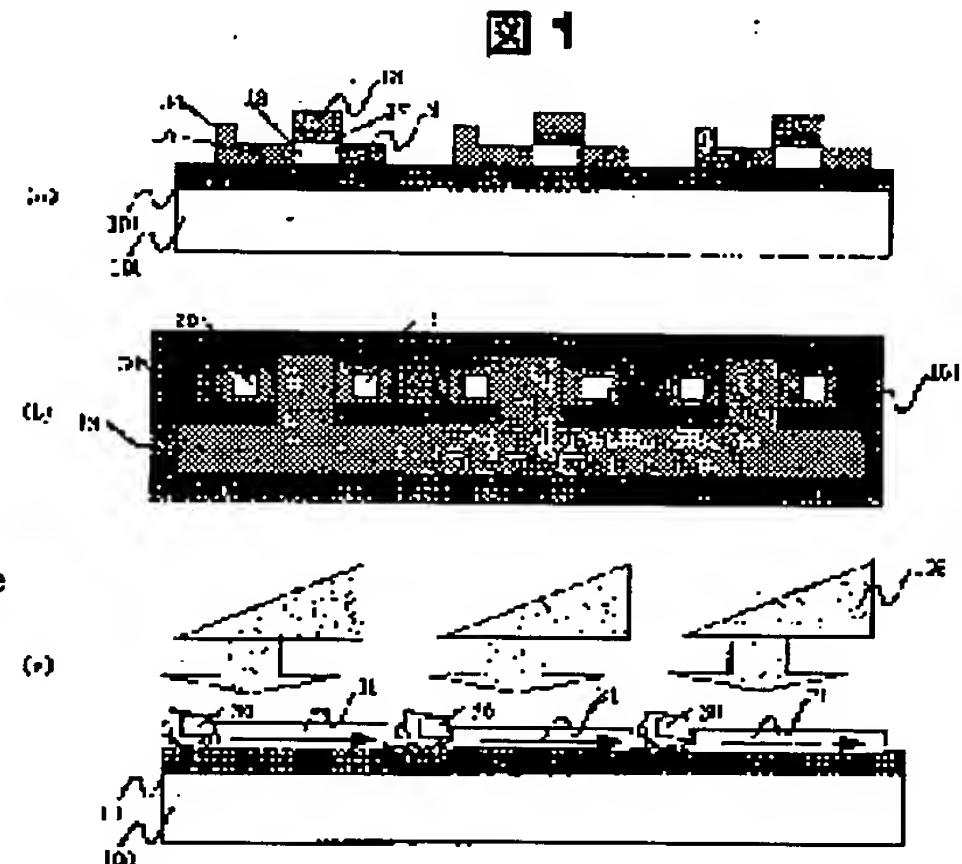
(72)Inventor : HATANO MUTSUOKO
YAMAGUCHI SHINYA
KIMURA YOSHINOBU
BOKU NARIMOTO

(54) THIN FILM SEMICONDUCTOR DEVICE AS WELL AS METHOD AND APPARATUS FOR MANUFACTURING POLYCRYSTAL SEMICONDUCTOR THIN FILM

(57)Abstract:

PROBLEM TO BE SOLVED: To enhance a quality of a polycrystal semiconductor film formed on an insulating board.

SOLUTION: A thin film semiconductor device comprises a gate electrode provided on a first semiconductor layer made of a polycrystal silicon film on the insulating board through a gate insulating film, a channel region provided on the semiconductor layer, a source region and a drain region disposed at both sides of the channel region in a MIS field effect transistor so that at least a main orientation of the channel region is a thin film in plane {110} with respect to the surface of the gate insulating film. Further, it is preferred that a polycrystal semiconductor film having a main orientation in plane {100} of a surface substantially perpendicular to a direction for coupling the source to the drain region is applied to the channel of the semiconductor device. The semiconductor device also comprises a polycrystal semiconductor film of a high quality in which a grain boundary, a grain size, a crystal orientation can be controlled and a roughness of a film and a crystal defect generated in a process of crystallization are reduced, on the insulating board.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁 (J P)

(12) 公 開 特 許 公 報 (A)

(11)特許出願公開番号
特開2002-222959
(P2002-222959A)

(43)公開日 平成14年 8 月 9 日(2002. 8. 9)

(51)Int.Cl.⁷

識別記号

F I

テ-マ-コ-ト*(参考)

H 0 1 L 29/786

H 0 1 L 21/20

5 F 0 5 2

21/336

29/78

6 2 7 G

5 F 1 1 0

21/20

6 1 8 Z

6 2 0

審査請求 未請求 請求項の数20 O L (全 14 頁)

(21)出願番号 特願2001-19570(P2001-19570)

(22)出願日 平成13年 1 月29日(2001. 1. 29)

(71)出願人 000005108

株式会社日立製作所

東京都千代田区神田駿河台四丁目 6 番地

(72)発明者 波多野 睦子

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(72)発明者 山口 伸也

茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

(74)代理人 100068504

弁理士 小川 勝男 (外 2 名)

最終頁に続く

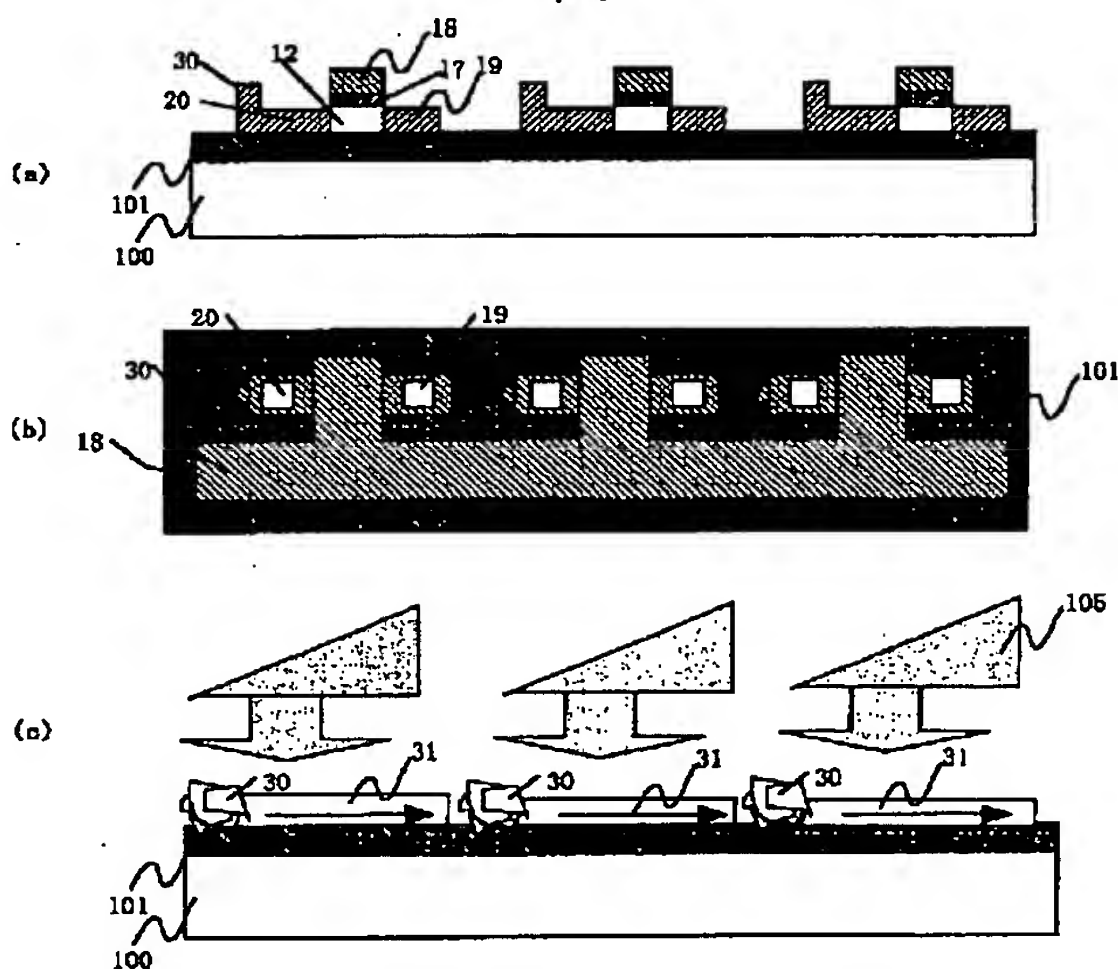
(54)【発明の名称】 薄膜半導体装置、多結晶半導体薄膜製造方法及び製造装置

(57)【要約】

【課題】 本願発明は、絶縁性基板上に形成した多結晶半導体膜の高品質化を図ることである。

【解決手段】 本願発明は、絶縁性基板上の多結晶シリコン膜からなる第 1 の半導体層上にゲート絶縁膜を介して設けたゲート電極と、上記半導体層に設けたチャネル領域と、前記チャネル領域の両側に配置されたソース領域とドレイン領域とを有する M I S 型電界効果トランジスタにおいて、少なくとも上記チャネル領域の主配向が上記ゲート絶縁膜の表面に対して { 1 1 0 } である薄膜半導体装置である。更に、上記ソースとドレイン領域を結ぶ方向にほぼ垂直な面の主配向が { 1 0 0 } である多結晶半導体膜を半導体装置のチャネルに適応することが、より好ましい。本願発明によれば、絶縁体基板上に、粒界、粒径、結晶方位を制御でき、結晶化の仮定で生じる膜のラフネスと結晶欠陥を低減した高品質の多結晶半導体膜を有する半導体装置を得ることが出来る。

図 1



【特許請求の範囲】

【請求項 1】 絶縁性基板と、多結晶半導体膜からなる第 1 の半導体膜と、この第 1 の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第 1 の半導体膜に所定間隔で設けられた第 1 の電荷送受手段と第 2 の電荷送受手段と、前記第 1 と第 2 の電荷送受手段の間に形成されるチャンネル領域とを有し、且つ前記チャンネル領域を構成する前記第 1 の半導体膜の、前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向が {110} であることを特徴とする薄膜半導体装置。

【請求項 2】 絶縁性基板と、多結晶半導体膜からなる第 1 の半導体膜と、この第 1 の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第 1 の半導体膜に所定間隔で設けられた第 1 の電荷送受手段と第 2 の電荷送受手段と、前記第 1 と第 2 の電荷送受手段の間に形成されるチャンネル領域とを有し、且つ前記チャンネル領域を構成する前記第 1 の半導体膜の、前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向が {110} であり、前記第 1 の半導体膜が、前記第 1 と第 2 の電荷送受手段を結ぶ方向に対して、前記チャンネル領域の結晶粒の長手方向の軸が 45 度以下の結晶粒を主として構成されることを特徴とする薄膜半導体装置。

【請求項 3】 絶縁性基板と、多結晶半導体膜からなる第 1 の半導体膜と、この第 1 の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第 1 の半導体膜に所定間隔で設けられた第 1 の電荷送受手段と第 2 の電荷送受手段と、前記第 1 と第 2 の電荷送受手段の間に形成されるチャンネル領域とを有し、且つ前記チャンネル領域を構成する前記第 1 の半導体膜の、前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向が {110} であり、前記第 1 の半導体膜の前記チャンネル領域は、前記第 1 の電荷送受手段と第 2 の電荷送受手段とを結ぶ一つの結晶粒を少なくとも有することを特徴とする薄膜半導体装置。

【請求項 4】 絶縁性基板と、多結晶半導体膜からなる第 1 の半導体膜と、この第 1 の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第 1 の半導体膜に所定間隔で設けられた第 1 の電荷送受手段と第 2 の電荷送受手段と、前記第 1 と第 2 の電荷送受手段の間に形成されるチャンネル領域とを有し、且つ前記チャンネル領域を構成する前記第 1 の半導体膜の、前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向が {110} であり、前記第 1 の半導体膜が、前記第 1 と第 2 の電荷送受手段を結ぶ方向に略垂直な面の主配向が {100} であることを特徴とする薄膜半導体装置。

【請求項 5】 上記の半導体層を構成する前記電荷送受手段の一部に、前記チャンネル領域の厚さよりも厚い領域を有することを特徴とする請求項 1 より請求項 4 のいずれかに記載の薄膜半導体装置。

【請求項 6】 前記の半導体層の同一平面内の周縁部

に、幅 5 ミクロン以下、突出長さ 5 ミクロン以下の少なくとも一つの突起を有することを特徴とする請求項 1 より請求項 4 のいずれかに記載の薄膜半導体装置。

【請求項 7】 絶縁性基板に、半導体装置部を少なくとも 2 つを有し、前記絶縁性基板上に、部分的な領域に選択的に形成された第 2 の半導体層と絶縁膜層が形成され、前記第 2 の半導体層と絶縁膜層の積層体は第 1 の半導体層と接し、第 1 の半導体装置と第 2 の半導体装置との間には上記第 2 の半導体層を有せず、且つ前記第 1 の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第 1 の半導体膜に所定間隔で設けられた第 1 の電荷送受手段と第 2 の電荷送受手段と、前記第 1 と第 2 の電荷送受手段の間に形成されるチャンネル領域とを有することを特徴とする薄膜半導体装置。

【請求項 8】 絶縁性基板に、半導体装置部を少なくとも 2 つを有し、第 1 の熱伝導率を有する第 1 の薄膜の上に、前記第 1 の熱伝導率より大きな第 2 の熱伝導率を有する第 2 の薄膜が選択的に形成され、前記第 2 の薄膜は半導体層と接しておらず、第 1 の半導体装置部と第 2 の半導体装置部の間には上記第 2 の薄膜が配置され、且つ前記半導体装置部が請求項 1 より請求項 4 のいずれかに記載の薄膜半導体装置で構成されていることを特徴とする薄膜半導体装置。

【請求項 9】 絶縁性基板上に前記半導体装置を少なくとも 2 つを有し、第 1 の熱伝導率を有する第 1 の薄膜の上に、前記第 1 の熱伝導率より小さな第 2 の熱伝導率を有する第 2 の薄膜が選択的に形成され、前記第 2 の薄膜は上記半導体層と接しており、前記第 1 の半導体装置と第 2 の半導体装置の間には上記第 2 の薄膜が設けられておらず、且つ前記半導体装置部が請求項 1 より請求項 4 のいずれかに記載の薄膜半導体装置で構成されていることを特徴とする薄膜半導体装置。

【請求項 10】 前記絶縁性基板が低融点ガラス基板であることを特徴とする請求項 1 より請求項 9 のいずれかに記載の薄膜半導体装置。

【請求項 11】 前記チャンネル領域の表面凹凸は 20 nm より小さく、前記チャンネル領域の内部引っ張り応力は 10^9 dyn/cm^2 以上であることを特徴とする請求項 1 より請求項 10 のいずれかに記載の薄膜半導体装置。

【請求項 12】 前記半導体層に含まれる金属元素は 10^{19} cm^{-3} 以下であり、前記チャンネル領域に含まれる結晶欠陥密度は 10^{17} cm^{-3} 以下であることを特徴とする請求項 1 より請求項 10 のいずれかに記載の薄膜半導体装置。

【請求項 13】 前記半導体層と接する前記絶縁基板の表面に高低部を有し、前記高低部は 10 nm 以上の高さを有することを特徴とする請求項 1 より請求項 10 のいずれかに記載の薄膜半導体装置。

【請求項 14】 絶縁性基板上の半導体層中に結晶核を

生成する工程と、レーザビーム照射により半導体薄膜を熔融再結晶化して結晶粒を成長する工程とを分離して遂行されることを特徴とする多結晶半導体膜の製造方法。

【請求項 15】 絶縁性基板上の非結晶半導体膜にレーザビーム照射で半導体薄膜を熔融再結晶化して結晶粒を成長することを特徴とする請求項 14 に記載の多結晶半導体膜の製造方法。

【請求項 16】 上記レーザビームの波長は、240 nm 以上 600 nm 以下範囲から選択され、前記波長の非晶質半導体膜に対する吸収係数が多結晶半導体膜の吸収係数よりも大きいことを特徴とする請求項 14 に記載の多結晶半導体膜の製造方法。

【請求項 17】 上記絶縁性基板上の上記多晶質シリコン膜の上記結晶核は、レーザ照射による熔融再結晶化により生成される特徴とする請求項 14 に記載の多結晶半導体膜の製造方法。

【請求項 18】 上記絶縁性基板上の上記多晶質シリコン膜の上記結晶核は、カタリティク ケミカル ベーパー デポジション (Catalytic Chemical Deposition) 法により生成される特徴とする請求項 14 に記載の多結晶半導体膜の製造方法。

【請求項 19】 前記熔融再結晶化して結晶粒を成長する工程において、照射レーザビームのパルス幅が 100 ns 以上 1 ms 以下であることを特徴とする請求項 14 に記載の多結晶半導体膜の製造方法。

【請求項 20】 レーザビームのパルス幅と、レーザビームの強度の時間依存の形状と、レーザビーム・パルスの間隔とを変調する手段と、発振源から射出された前記レーザビームのプロファイルをその被照射領域を所定の形状に整形した後、被照射体に結像させる手段と、前記レーザビームの照射と同期して前記絶縁性基板を所定の速度とピッチで移動する手段とを有することを具備することを特徴とする半導体膜の製造装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】本願発明は、多結晶半導体膜を有する薄膜半導体装置、多結晶半導体膜の製造方法及び製造装置などに関するものである。本願発明の薄膜半導体装置は、画像表示装置などに用いて有用である。

【0002】

【従来の技術】従来のパルスレーザの走査によるアモルファスシリコン薄膜の結晶化方法を、図 7 を用いて説明する。図 7 は、従来最も一般的なエキシマパルスレーザによる結晶化方法を示す図である。基板 100 上に下地膜 101 を介して堆積した非結晶シリコン膜 102 に、この基板上における幅 L が数 mm 程度の線状のエキシマレーザからなるレーザビーム 105 を照射して、1 及至数パルス毎にレーザ照射位置を移動して、基板全体を結晶化する。この従来方法では、レーザ照射時の結晶核は、ランダムに発生する。しかも、この結晶核の、核発

生の平均距離は通常のレーザアニール条件では、0.5 ミクロンあるいはそれ以下である。従って、得られる多結晶シリコン膜 103 の粒径は 0.5 ミクロン以下で、かつ大きさは揃っていない。

【0003】さらに、国際特許公表、WO9745827 には次のような方法が示されている。即ち、図 7 に示したレーザビーム 105 の幅 L を、0.5 ミクロン以下に成形し、この形状のレーザビーム 5 の位置を 0.5 ミクロン以下毎に移動しながらパルスを照射していくと、最初にできた結晶粒を種に一方方向に結晶成長する。前記一方方向とは、横方向、即ち、成長膜厚に対して垂直方向のことである。

【0004】

【発明が解決しようとする課題】上記従来方法において、結晶成長に要する時間は、100 ナノ秒以下であるため得られる結晶粒径は 1 ミクロン以下であり、粒径のバラツキが大きかった。また、粒の配向が無秩序であり、欠陥密度が大きく、膜表面のラフネスも大きかった。従って大粒径の多結晶シリコンを成長させる、あるいは粒径や粒界の位置を正確に制御する事は不可能であった。このため、チャンネル内に粒界がランダムに含まれるようになる。従って、TFT のデバイス特性、信頼性、デバイス間の均一性を向上させることは困難であった。

【0005】一方、上記国際特許公表、WO9745827 にて開示の技術は、ビームを 1 ミクロン以下に収束しなければならないので、レーザのエネルギーを損失する上、照射レーザの光学系が複雑となる。またレーザパルス間の移動距離が 1 ミクロン以下であるので、基板全体を結晶化するのに長時間を要し、高スループット化、低コスト化が困難であった。特に、この方法は、大面積基板には適応不可能である。さらに、微小距離の移動は、振動の影響を受けやすく、歩留まりにも課題があった。

【0006】本願発明の第 1 の目的は、ガラスなどの絶縁体基板上に、粒界、粒径、結晶方位を制御でき、結晶化の仮定で生じる膜のラフネスと結晶欠陥を低減した高品質の多結晶半導体膜を形成する製造方法、製造装置、及び前記多結晶半導体膜を適応した薄膜半導体装置を提供することにある。

【0007】本発明の第 2 の目的は、製造工程数の低減、大面積基板に適用容易、高いスループット、低価格で高品質の多結晶半導体膜を形成する製造方法、製造装置、及び前記多結晶半導体膜を適応した薄膜半導体装置を提供することにある。

【0008】本発明の第 3 の目的は、ガラスなどの安価な絶縁体基板上に高性能、高信頼で動作し、デバイス間の均一性が優れた、高品質の多結晶半導体膜を形成する製造方法、製造装置、及び前記多結晶半導体膜を適応した薄膜半導体装置を提供することにある。

【0009】

【課題を解決するための手段】本願発明の主な形態を列挙する。

【0010】本願発明の第1の形態は、絶縁性基板と、多結晶半導体膜からなる第1の半導体膜と、この第1の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第1の半導体膜に所定間隔で設けられた第1の電荷送受手段と第2の電荷送受手段と、前記第1と第2の電荷送受手段の間に形成されるチャンネル領域とを有し、且つ前記チャンネル領域を構成する前記第1の半導体膜の、前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向が{110}であることを特徴とする薄膜半導体装置である。

【0011】チャンネル領域の半導体膜の前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向の選択によって、多結晶半導体膜を用いても信頼性の高い薄膜半導体装置を提供することが可能となる。この多結晶膜の主配向の制御方法については、後述する。

【0012】又、本願に係わるMIS型薄膜半導体装置は、例えば、次の諸形態を取ることが出来る。

(1) 所定の多結晶半導体膜に対して、この上部にゲート絶縁膜を介してゲート電極を配する形態。

(2) 所定の多結晶半導体膜に対して、この下部にゲート絶縁膜を介してゲート電極を配する形態。

(3) 所定の多結晶半導体膜に対して、この側部にゲート絶縁膜を介してゲート電極を配する形態。

【0013】本願発明の第2の形態は、絶縁性基板と、多結晶半導体膜からなる第1の半導体膜と、この第1の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第1の半導体膜に所定間隔で設けられた第1の電荷送受手段と第2の電荷送受手段と、前記第1と第2の電荷送受手段の間に形成されるチャンネル領域とを有し、且つ前記チャンネル領域を構成する前記第1の半導体膜の、前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向が{110}であり、前記第1の半導体膜が、前記第1と第2の電荷送受手段を結ぶ方向に対して、前記チャンネル領域の結晶粒の長手方向の軸が45度以下の結晶粒を主として構成されることを特徴とする薄膜半導体装置である。本形態は、本願発明のより実用的な形態を示すものである。

【0014】又、本願発明の薄膜半導体装置において、前記第1の半導体膜が、前記第1と第2の電荷送受手段を結ぶ方向に対して、75度以下の小傾角粒界から構成されることも有用である。

【0015】本願発明の第3の形態は、絶縁性基板と、多結晶半導体膜からなる第1の半導体膜と、この第1の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第1の半導体膜に所定間隔で設けられた第1の電荷送受手段と第2の電荷送受手段と、前記第1と第2の電荷送受手段の間に形成されるチャンネル領域とを有し、且つ前記チャンネル領域を構成する前記第1の半導体

膜の、前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向が{110}であり、前記第1の半導体膜の前記チャンネル領域は前記第1の電荷送受手段と第2の電荷送受手段とを結ぶ結晶粒を有することを特徴とする薄膜半導体装置である。

【0016】第3の形態は、更に好ましい形態を示すものである。即ち、前記第1の半導体膜の前記チャンネル領域が、前記第1の電荷送受手段と第2の電荷送受手段とを結ぶ程度の長手方向の長さを有する結晶粒によって構成されることによって、更に信頼性の高い薄膜半導体装置を提供することが出来る。

【0017】本願発明の第4の形態は、絶縁性基板と、多結晶半導体膜からなる第1の半導体膜と、この第1の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第1の半導体膜に所定間隔で設けられた第1の電荷送受手段と第2の電荷送受手段と、前記第1と第2の電荷送受手段の間に形成されるチャンネル領域とを有し、且つ前記チャンネル領域を構成する前記第1の半導体膜の、前記絶縁性基板もしくは前記ゲート絶縁膜の主表面に対する主配向が{110}であり、前記第1の半導体膜が、前記第1と第2の電荷送受手段を結ぶ方向に略垂直な面の主配向が{100}であることを特徴とする薄膜半導体装置である。そして、前記第1の半導体膜の前記チャンネル領域が、前記第1の電荷送受手段と第2の電荷送受手段とを結ぶ程度の長手方向の長さを有する結晶粒によって構成され、当該多結晶膜の主配向が{100}となすことによって、極めて信頼性の高い薄膜半導体装置を提供することが出来る。簡潔に結論を述べれば、それは、第1の半導体膜は多結晶ではあるが、一つの結晶粒に着目すると単結晶と同等の性質を有するからである。

【0018】本願発明の第5の形態は、絶縁性基板に、半導体装置部を少なくとも2つを有し、前記絶縁性基板に、部分的な領域に選択的に第2の半導体層と絶縁膜層が形成され、前記第2の半導体層と絶縁膜層の積層体は第1の半導体層と接し、第1の半導体装置と第2の半導体装置との間には上記第2の半導体層を有せず、且つ前記第1の半導体膜にゲート絶縁膜を介して形成されたゲート電極と、前記第1の半導体膜に所定間隔で第1の電荷送受手段と第2の電荷送受手段と、前記第1と第2の電荷送受手段の間に形成されるチャンネル領域とを有することを特徴とする薄膜半導体装置である。この形態においても、前記チャンネル領域を構成する前記第1の半導体膜の、前記絶縁性非晶質基板もしくは前記ゲート絶縁膜の主表面に対する主配向が{110}であることが、より好ましい。

【0019】本例は、所望の半導体装置部の下部に、第2の半導体層を有する例であって、且つ前記半導体装置部が、前記本願発明の第1の形態を有するものである。更に、本願においては、所望の半導体装置部の下部に、

第2の半導体層を有する例であって、且つ前記半導体装置部が、前記本願発明の第2の形態より第4の形態のいずれかを有するものであっても当然良い。更に、本願明細書に開示される半導体装置部の諸形態を用いて実施出来ることはいうまでもない。本願発明の第6の形態は、絶縁性基板上に、半導体装置部を少なくとも2つを有し、第1の熱伝導率を有する第1の薄膜の上に、前記第1の熱伝導率より大きな第2の熱伝導率を有する第2の薄膜が選択的に形成され、前記第2の薄膜は半導体層と接しておらず、第1の半導体装置部と第2の半導体装置部の間には上記第2の薄膜が配置され、且つ前記半導体装置部が前記第1より第4のいずれかの形態に記載の薄膜半導体装置で構成されていることを特徴とする薄膜半導体装置である。

【0020】本願の第7の形態は、絶縁性基板上に前記半導体装置を少なくとも2つを有し、第1の熱伝導率を有する第1の薄膜の上に、前記第1の熱伝導率より小さな第2の熱伝導率を有する第2の薄膜が選択的に形成され、前記第2の薄膜は上記半導体層と接しており、前記第1の半導体装置と第2の半導体装置の間には上記第2の絶縁層が設けられておらず、且つ前記半導体装置部が前記第1より第4の形態に記載の薄膜半導体装置で構成されていることを特徴とする薄膜半導体装置である。

【0021】更に、多岐に渡る実用的な諸形態は、後述される。

【0022】次に、本願発明に係わる半導体膜の製造方法に関する主な形態を列挙する。下記の諸方法を用いることによって、本願の目的に適う多結晶半導体膜を得ることが出来る。

【0023】本願の多結晶半導体膜の製造方法に係わる第8の形態は、絶縁性基板上の半導体層中に結晶核を生成する工程と、レーザビーム照射により半導体薄膜を熔融再結晶化して結晶粒を成長する工程とを分離して遂行されることを特徴とする多結晶半導体膜の製造方法である。

【0024】本願発明の多結晶半導体膜の製造方法に係わる第9の形態は、絶縁性基板上の非結晶半導体膜に、レーザビーム照射で半導体薄膜を熔融再結晶化して結晶粒を成長することを特徴とする前記第1の形態に記載の多結晶半導体膜の製造方法である。

【0025】本願発明の多結晶半導体膜の製造方法に係わる第10の形態は、上記レーザビームの波長は、240nm以上600nm以下範囲から選択され、前記波長の非晶質半導体膜に対する吸収係数が多結晶半導体膜の吸収係数よりも大きいことを特徴とする前記第8に記載の多結晶半導体膜の製造方法である。

【0026】本願発明の多結晶半導体膜の製造方法に係わる第11の形態は、上記絶縁性基板上の上記多晶質シリコン膜の上記結晶核は、レーザ照射による熔融再結晶化により生成される特徴とする前記第8の形態に記載

の多結晶半導体膜の製造方法である。

【0027】本願発明に係わる上記絶縁性基板上の上記多晶質シリコン膜の上記結晶核は、カタリティクケミカルベーパーデポジション(Catalytic Chemical Deposition)法により生成されることが好ましい。

【0028】又、本願発明に係わる製造装置は、レーザビームのパルス幅と、レーザビーム強度の時間依存の形状と、レーザビーム・パルスの間隔とを変調する手段と、発振源から射出された前記レーザビームのプロファイルをその被照射領域を所定の形状に整形した後、被照射体に結像させる手段と、前記レーザビームの照射と同期して前記絶縁性基板を所定の速度とピッチで移動する手段とを有することを具備することを特徴とする多結晶半導体薄膜の製造装置である。

【0029】尚、本願明細書において、「電荷送受手段」は、通例、ソースあるいはドレイン称される領域を意味する。

【0030】

【発明の実施の形態】本願発明の具体的な実施の形態を説明するに先立って、本願発明の代表的な実施の形態に関する補足説明を行う。

【0031】前記本願発明の第1、2の目的を達するために、以下に示す手段が有用である。

【0032】半導体層を構成するドレインもしくはソース領域の一部に、前記チャンネル領域の厚さよりも厚い領域を設けることである。このことによって、極めて有用な、多結晶半導体膜を得ることが出来る。

【0033】さらに以下の手段により、前記目的は容易に達成される。

【0034】前記レーザビームのパルス幅は100ns以上であり1ms以下、エネルギー密度は200mJ/cm²以上10J/cm²以下である。レーザビームの強度分布は、ビーム幅内における強度が均一、あるいは一方から他方へ単調に増加、単調に減少する分布パターンである。

【0035】更に、前記第3の目的は、絶縁性基板上の多結晶半導体膜からなる第1の半導体層上にゲート絶縁膜を介して設けたゲート電極と、上記半導体層に設けたチャンネル領域と、前記チャンネル領域の両側に配置されたソース領域とドレイン領域とを有するMIS型電界効果トランジスタにおいて、少なくとも上記チャンネル領域を構成する結晶粒の該基板もしくはゲート絶縁膜の表面に対する主配向が{110}であり、かつ上記ソースとドレイン領域を結ぶ方向にほぼ垂直な面の主配向が{100}である多結晶半導体膜からなる半導体層をの半導体装置のチャンネルに適応することにより達成できる。

【0036】さらに、以下の特徴を多結晶半導体膜を適応することにより、目的は容易に達成できる。

【0037】第1は、チャンネル領域のソースとドレイン

領域間には、75度以下の小傾角粒界から構成されることである。

【0038】第2は、チャンネル領域の表面凹凸は20nmより小さく、チャンネル領域の内部引っ張り応力は 10^9 dyn/cm^2 以上である。

【0039】第3は、半導体層に含まれる金属元素は 10^{19} cm^{-3} 以下であり、チャンネル領域に含まれる結晶欠陥密度は 10^{17} cm^{-3} 以下である。

【0040】本願発明の薄膜半導体装置において、上記絶縁性基板が低融点ガラス基板であることを特徴とする薄膜半導体装置は、好ましい例である。絶縁性基板は非晶質基板、例えば、ガラス基板、わけても低融点ガラス基板が代表的な例である。

【0041】更に、本願発明の諸形態を列挙すれば、次の通りです。

(1) 本願発明に係わる薄膜半導体装置において、前記半導体層と接する前記絶縁基板の表面に、10nm以上の高さの高低部を有することを特徴とする薄膜半導体装置である。これは、ガラス基板など、絶縁性基板が、10nm以上の高さのうねりのごとき、高低部を有する実際の形態である。

(2) 本願発明に係わる薄膜半導体装置において、上記の半導体層を構成する前記電荷送受手段、即ち、ドレイン領域もしくはソース領域の一部に、前記チャンネル領域の厚さよりも厚い領域を有することを特徴とする薄膜半導体装置である。

(3) 本願発明に係わる薄膜半導体装置において、前記の半導体層の同一平面内の周縁部に、幅5ミクロン以下、突出長さ5ミクロン以下の少なくとも一つの突起を有することを特徴とする薄膜半導体装置である。

【0042】本願発明の薄膜半導体装置では、チャンネル領域の半導体結晶の粒径が電荷送受手段、即ち、ソース、ドレイン領域の結晶粒の粒径より大きい形態も、実用的である。

【0043】多結晶半導体薄膜の製造方法に関しては、次のような形態をあげることが出来る。

(4) 本願発明に係わる多結晶半導体薄膜の製造方法において、照射レーザービームのパルス幅は100ns以上であり1ms以下であることを特徴とする多結晶半導体薄膜の製造方法である。

(5) 絶縁性基板上に形成された非晶質あるいは多結晶の半導体薄膜にレーザービームを照射して前記半導体薄膜を熔融再結晶化して多結晶半導体膜を形成する製造方法において、前記レーザービームのパルス幅と時間依存の形状と間隔を変調する手段と、発振源から射出された前記レーザービームのプロファイルを複数のレンズからなる光学系によりその被照射領域を所定の形状に整形した後前記半導体薄膜上で結像させる手段と、前記レーザービームの照射と同期して前記絶縁性基板を所定の速度とピッチで移動する手段とを有することを具備することを特徴と

する多結晶半導体薄膜の製造方法および製造装置である。

(6) 前記(5)に記載の多結晶半導体薄膜の製造方法および製造装置において、前記レーザービームの照射と同期して前記絶縁性基板または光学系を所定の速度と間隔で移動すると同時に、前記絶縁性基板上の合わせパターンを検出する手段と、前記レーザービームを干渉計により基板と位置合わせを行う手段を有することを特徴とする多結晶半導体膜の製造方法および製造装置である。

(7) 前記(5)あるいは(6)に記載の多結晶半導体薄膜の製造方法および製造装置において、前記レーザービームのパルス幅は100ns以上であり1ms以下、エネルギー密度は 200 mJ/cm^2 以上 10 J/cm^2 以下であり、前記レーザービームの立ち上り時間、立下り時間、パルス幅、パルス間隔はEO変調器による偏光により外部電圧で制御されることを特徴とする多結晶半導体膜の製造方法および製造装置である。

(8) 前記多結晶半導体薄膜の製造方法および製造装置において、前記レーザービームの強度分布は、ビーム幅内における強度が均一、あるいは一方から他方へ単調に増加、単調に減少する分布パターンであることを特徴とする多結晶半導体膜の製造方法である。

(9) 尚、本願発明の多結晶半導体薄膜の製造に用いる、レーザー装置は、固体レーザー装置、あるいは半導体レーザー装置が好適である。

(10) 前記多結晶半導体薄膜の製造方法および製造装置において、前記レーザービームの強度分布は、ソースドレイン方向と平行な方向に光エネルギーの強度勾配を有することを特徴とする多結晶半導体膜の製造方法および製造装置である。

【0044】以下、本発明の実施の形態における薄膜半導体装置、製造方法、及び製造装置について、図面を参照しながら説明する。

【0045】＜実施の形態1＞図1は、本発明の実施の形態1における薄膜半導体装置を説明するための図である。図1は3つの多結晶シリコン薄膜トランジスタを有する例を示している。図1の(a)は断面構造図、図1の(b)は平面構造図を示す。図1の(a)、(b)において、100は絶縁性基板、101は下層膜、18はゲート電極、17はゲート絶縁膜である。絶縁性基板は、ガラス基板が多用される。又、前記下層膜は通例、二酸化珪素(SiO_2)膜が用いられる。

【0046】各シリコン半導体層は、チャンネル領域12、ソース領域20、ドレイン領域19、突起状の結晶核領域30から構成される。チャンネル領域12は大粒径の多結晶シリコン膜、結晶核領域30は、通例小粒径の多結晶シリコン膜からなる。

【0047】本例は、図1の(b)の平面図にみられるように、ゲート電極18が共通に接続され例である。勿論、本願発明は単独にゲート電極が形成された形態でも

実施することが出来る。

【0048】大粒径を有するチャネル領域12は、図1の(c)に示すような結晶化方法により得られる。非晶質シリコン膜あるいは多結晶シリコンに、図1の(c)に示すような強度分布を有する傾斜型ライン状のレーザービームを照射する。図1の(c)に符号105として、傾斜型形状を示したのは、このレーザー光の模式的な強度分布を示すものである。レーザー光のパルス幅は100ナノ秒以上、1ミリ秒以下の範囲から選択されることが望ましい。シリコン半導体層の膜厚が300nm以下であり、チャネル長よりも大きいたとえば5ミクロンの粒径を得るために最適なレーザー条件は、例えば、パルス幅が10マイクロ秒、パワーは1wである。このような条件でレーザービームを照射すると、シリコン膜の厚さが周囲よりも厚い結晶核領域30から結晶化が開始される。即ち、温度の低い領域から結晶成長が進行する。図1の(c)に示す矢印の方向に、結晶成長し、チャネル領域よりも大きな粒径を有する多結晶シリコン膜31が形成される。

【0049】図3は、本例の薄膜半導体装置の製造工程を示す断面図である。ガラスなどの非結晶質基板100に、二酸化珪素膜101の下地層、更に、非晶質シリコン膜あるいは多結晶シリコン膜110を形成する(図3の(a))。この非晶質シリコン膜あるいは多結晶シリコン膜110に通例のフォトリソを用いたエッチングにより3つの領域に加工する。この時、結晶核領域30を形成する(図3の(b))。この状態を準備した基体に、前述した傾斜型の発光強度を有するレーザー光を照射する(図3の(c))。この場合、各半導体装置の領域に応じて、レーザー光は、各傾斜型の発光強度を有するごとくに調整する。半導体薄膜の熔融再結晶化を図った後、ゲート絶縁膜17、ゲート電極18を形成する(図3(d))。ソース、ドレインは通例のイオン・インプラントレーションによってなされる。不純物としては、リン、ボロンなどが多用される。(図3(e))。

【0050】本実施の形態では、絶縁性基板上に結晶核領域30を含む多晶質シリコン膜を生成した後、レーザービーム照射により半導体薄膜を熔融再結晶化して前記結晶核から粒を成長する工程を分離遂行することができる。結晶粒を高効率で、選択的に成長するために適したレーザービームの波長は、240nm以上600nm以下範囲から選択されることが望ましい。なぜならば、例えば波長500nmにおける非晶質シリコン膜の吸収係数は、多結晶シリコン膜の吸収係数よりも約5倍大きい。したがって多結晶シリコン膜からなる結晶核をシードとしてそれ以外の半導体層領域を選択的に熔融再結晶化することが容易である。一方、絶縁性基板上の小粒径の多晶質シリコン膜からなる結晶核領域は、通例のエキシマパルスレーザー照射による熔融再結晶化によりを生成することができる。

【0051】図2に半導体層、とくにチャネル領域の結晶性の状態を模式的に示す。図2の(a)は、一つのトランジスタ部の断面図、図2の(b)は半導体層の模式的な斜視図である。図2の(a)と(b)における対応する領域を点線で対応付けた。各符号の意味は、図1と同様である。本例は、本願発明の最も好ましい例を例示している。

【0052】少なくともチャネル領域12における多結晶体の主配向が、上記ゲート絶縁膜の表面及び基板に対して{110}である。且つ、この多結晶体は、上記ソース領域20とドレイン領域19を結ぶ方向に、ほぼ垂直な面の主配向が{100}である多結晶シリコン膜から構成されている。また、チャネル領域12を構成する複数の結晶粒と結晶粒の間は、回転角が70度以下の小傾角粒界からなる。

【0053】更に、チャネル領域12の表面凹凸は20nmより小さく、その内部引っ張り応力は 10^9 dyn/cm^2 以上、含まれる結晶欠陥密度は 10^{17} cm^{-3} 以下である。又、チャネル領域12を含む当該半導体層全体に含まれる金属元素は 10^{19} cm^{-3} 以下である。

【0054】図4は、本願発明の実施に用いる製造装置の例である。本装置は、図2に示したような絶縁性基板205上に形成された非晶質あるいは多結晶の半導体薄膜に、レーザービームを照射して半導体薄膜を熔融再結晶化して多結晶半導体膜を形成するに好適である。本例は、CWレーザー装置200、レーザービームのパルス幅と時間依存の形状と間隔を変調する変調手段(201、202、203)、発振源からレーザービームを結像させるに至る光学系、レーザービームと被照射体との位置を相対的な移動を可能とする移動手段とを有する。前記変調手段は、EO変調器201、偏光板202、ドライバ203を有して構成される。前記光学系は、発振源から射出されたレーザービームのプロファイルを複数のレンズからなる光学系、あるいは回折光学素子により適切な形状に整形するビーム整形ユニット204、走査機能のついたミラー208、レーザービームを結像させる結像レンズ系207、などである。又、前記移動手段は、レーザービームの照射と同期して絶縁性基板205を所定のピッチで移動することが可能である。

【0055】レーザービームのパルス幅、時間依存形状、パルス間隔の諸例は、図5の(a)及び(b)に示す。図5の(a)は、EO変調器201に印加する電圧波形、(b)は、偏光子を介したビーム強度の波形である。ビーム強度は外部からの電圧により、立上り時間、パルス幅、立下り時間、パルス間隔などを制御できる。図5の各々は、前記パルスの制御の為のパルス幅の異なる二つのパルス例、及び傾斜型のパルスの例を示す。

【0056】又、図6の(a)、(b)は、レーザービームの形状の例を示す。各斜視図は、レーザービームを、ビ

ーム整形ユニット204にて、所望の形状にビーム整形し、結像レンズを介して、試料上に結像せれたビームの形状である。図6(a)は、一方から他方へ単調に強度が増加する分布パターンを示す図、図6(b)はビーム幅内における強度が均一な例である。本願に係わる薄膜半導体装置を製造する際、レーザビームの幅方向、及びレーザビームの強度分布は、ソースドとレイン方向と平行な方向であると、効率良く大きな結晶粒が得られる。

【0057】レーザビームの照射と同期して、絶縁性基板206あるいはミラー208を所定の速度と間隔で移動することにより、所望の領域を結晶化させることができる。

【0058】本発明では、絶縁性基板上の合わせパターンは、例えば、半導体層膜の段差、図1における結晶核領域30の段差で検出することができる。具体的にはレーザビームを干渉計により基板と位置合わせを行うことができる。

【0059】本実施により、ガラスなどの絶縁体基板上に、粒界、粒径、結晶方位を制御でき、結晶化の仮定で生じる膜のラフネスと結晶欠陥を低減した高品質の多結晶半導体膜を形成することができた。また、本実施例により、製造工程数の低減、大面積基板に適用容易、高いスループット、低価格で高品質の多結晶半導体膜を形成することが出来る製造方法、製造装置を実現した。

【0060】さらに、本実施の形態で示した多結晶半導体膜をMIS型電界効果トランジスタに適應すると、電界効果移動度が約 $300\text{ cm}^2/\text{V}\cdot\text{s}$ 以上、しきい電圧のバラツキを $\pm 0.2\text{ V}$ 以下に抑制することができる。こうして、本願発明によれば、高性能、高信頼で動作し、デバイス間の均一性が優れた薄膜半導体装置を得ることができる。

【0061】本実施例では、レーザ照射前の半導体膜に多結晶シリコン膜を用いたが、非晶質シリコン膜を用いても同様の効果が得られる。本実施の形態では、傾斜型のレーザビームを用いたが、均一ビームを用いても同様の効果が得られる。さらに本実施例では、結晶核領域30を起点に結晶を成長させたが、レーザビームの形状を最適化することにより、前記突起上の結晶核30を含まない構造においても同様の効果が得られる。この場合、初期半導体膜は結晶核を含む多晶質シリコン膜であり、この膜はエキシマレーザなどの照射による熔融再結晶化によりを得ることができる。また、上記多晶質シリコン膜は、CAT-CVD(Catalytic-Chemical Vaapour Deposition)方法により低温成膜しても同様の効果が得られる。

【0062】＜実施の形態2＞図7は、本発明の実施の形態2における半導体装置を説明するための図である。本例は、結晶成長の観点から、チャンネルを構成する半導体層の下部に、第2の半導体層を形成する例である。図

は3つの多結晶シリコン薄膜トランジスタが搭載された例を示している。図7の(a)は断面構造図、(b)は平面構造図である。図7の(c)はレーザビームの照射方法を説明する為の断面図である。

【0063】図7(a)、(b)において、100は絶縁性基板、101は下層膜、18はゲート電極、17はゲート絶縁膜である。絶縁性基板は、ガラス基板が多用される。又、下層膜は、通例二酸化珪素膜が用いられる。

【0064】第1の半導体層は、チャンネル領域12、ソース領域20、ドレイン領域19を有する。そして、チャンネル領域12は大粒径の多結晶シリコン膜からなる。シリコン半導体層と下層膜101の間には、選択的に絶縁膜40を介して第2の半導体層41が挿入されている。一方、複数の半導体装置の間の領域には、第2の半導体層41が設置されていない。

【0065】図8は、本例の薄膜半導体装置の製造工程を示す断面図である。ガラスなどの非結晶質基板100に、二酸化珪素膜101の下地層、第2の半導体層41として非晶質シリコン、更に、二酸化珪素の層40を形成する(図8の(a))。前記層40、41を、所定の薄膜半導体装置の3つの領域にエッチングによって加工する(図8の(b))。この上部に、非晶質シリコン膜あるいは多結晶シリコン膜110を形成する(図8の(c))。この状態を準備した基体に、前述した傾斜型の発光強度を有するレーザ光105を照射する(図8の(d))。この場合、各半導体装置の領域に応じて、レーザ光は、各傾斜型の発光強度を有するごとくに調整する。この例では、第2の半導体膜40の存在しない領域が、結晶核領域となる。第1の半導体薄膜の熔融再結晶化を図った後、第1の半導体薄膜を所望形状に加工する(図8(e))。この第1の半導体薄膜に、ゲート絶縁膜17、ゲート電極18を形成する。ソース、ドレインを通例の方法で形成する(図8(f))。

【0066】大粒径を有するチャンネル領域12は、図7の(c)に示すような結晶化方法により得られる。非晶質シリコン膜あるいは多結晶シリコンに図7の(c)に示すような強度分布を有する傾斜型ライン状のレーザビームを照射する。レーザのパルス幅は100ナノ秒以上、1ミリ秒以下の範囲から選択されることが望ましい。シリコン半導体層の膜厚が100nm以下であり、チャンネル長よりも大きいたとえば5ミクロンの粒径を得るために最適なレーザ条件は、パルス幅が10マイクロ秒、パワーは1wである。

【0067】このような条件で、レーザビームを照射すると、シリコン半導体層において、下方に第2のシリコン半導体層が設置されていない領域から結晶化が開始される。なぜならば、レーザビーム照射時に、第1のシリコン半導体膜を透過したレーザビームは第2のシリコン半導体膜まで到達する。第2のシリコン半導体膜におい

て、レーザビームは吸収され、半導体層の温度が上昇する。この温度上昇は、ヒートシンクの役割を果たし、急冷却を抑制することができる。第1のシリコン半導体層の下層にこのヒートシンクが設置されていない領域では、温度の低く、結晶化開始時間も早い。よって、第1のシリコン半導体層の下方に第2の半導体層が設置されていない領域から、結晶化が開始され、結晶核領域42となる。結晶粒を高効率で、選択的に成長するために適したレーザビームの波長は、240nm以上600nm以下範囲から選択されることが望ましい。本実施の形態では、絶縁性基板上に結晶核領域30を含む多晶質シリコン膜を生成した後、レーザビーム照射により半導体薄膜を熔融再結晶化して、前記結晶核から粒を成長する工程を分離して、遂行することができる。絶縁性基板上的小粒径の多晶質シリコン膜からなる結晶核領域は、従来技術であるエキシマパルスレーザ照射による熔融再結晶化により生成することができる。

【0068】図2に半導体層、とくにチャネル領域の結晶性の様子を示す。少なくともチャネル領域12の主配向が上記ゲート絶縁膜の表面に対して{110}であり、かつ上記ソース領域20とドレイン領域19を結ぶ方向にほぼ垂直な面の主配向が{100}である多結晶シリコン膜から構成されている。また、チャネル領域12を構成する複数の結晶粒と結晶粒の間は、回転角が75度以下の小傾角粒界からなる。さらに、チャネル領域12の表面凹凸は20nmより小さく、その内部引っ張り応力は 10^9 dyn/cm^2 以上、含まれる結晶欠陥密度は 10^{17} cm^{-3} 以下である。又、チャネル領域12を含む当該半導体層全体に含まれる金属元素は 10^{19} cm^{-3} 以下である。

【0069】半導体薄膜を熔融再結晶化して多結晶半導体膜を形成するための製造方法と製造装置については、第1の実施の形態で図4に示したものを適応することにより、同様の効果が得られる。本実施例では、絶縁性基板上的の合わせパターンは、第2の半導体層膜41と絶縁膜40の段差、図4における結晶核領域42の段差で検出することができる。

【0070】本実施により、ガラスなどの絶縁体基板上に、粒界、粒径、結晶方位を制御でき、結晶化の仮定で生じる膜のラフネスと結晶欠陥を低減した高品質の多結晶半導体膜を形成することができた。また、本実施例により、製造工程数の低減、大面積基板に適用容易、高いスループット、低価格で高品質の多結晶半導体膜を形成する製造方法、製造装置を実現した。さらに、本実施の形態で示した多結晶半導体膜をMIS型電界効果トランジスタに適応すると、電界効果移動度が約 $300 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上、しきい電圧のバラツキを $\pm 0.2 \text{ V}$ 以下に抑制することができる。本例によれば、高性能、高信頼で動作し、デバイス間の均一性が優れた半導体装置が得られる効果がある。

【0071】＜実施の形態3＞図9は、本発明の実施の形態3における半導体装置を説明するための図である。本例は、結晶成長に際して、部分的に熱の放出を容易にする部材を用いた例である。

【0072】図9の例は3つの多結晶シリコン薄膜トランジスタを形成した例を示している。図9の(a)は断面構造図、(b)は平面構造図を示す。

【0073】図9の(a)、(b)において、100は絶縁性基板、101は下層膜、18はゲート電極、17はゲート絶縁膜である。半導体層は、チャネル領域12、ソース領域20、ドレイン領域19から構成され、チャネル領域12は大粒径の多結晶シリコン膜からなる。複数の半導体装置の間の下層膜101上に、絶縁膜50が選択的に設置されている。絶縁膜50の熱伝導率は、下層膜101と絶縁性基板100の熱伝導率よりも大きい。

【0074】図10は、本例の薄膜半導体装置の製造工程を示す断面図である。ガラスなどの非結晶質基板100に、二酸化珪素膜101の下地層、下層膜101より熱伝導率の高い絶縁膜50として、 Si_3N_4 層を形成する(図10(a))。各薄膜半導体装置の領域に対応して、この絶縁膜50を加工する。この絶縁膜50を設けた領域が、結晶核領域となる。こうして準備した基体上部に、非晶質シリコン膜あるいは多結晶シリコン膜110を形成する(図10(b))。この状態を準備した基体に、前述した傾斜型の発光強度を有するレーザ光105を照射する(図10(c))。この場合、各半導体装置の領域に応じて、レーザ光は、各傾斜型の発光強度を有するごとくに調整する。第1の半導体薄膜の熔融再結晶化を図った後、第1の半導体薄膜を所望形状に加工する(図10(d))。この第1の半導体薄膜に、ゲート絶縁膜17、ゲート電極18を形成する。ソース、ドレインを通例の方法で形成する(図10(e))。

【0075】大粒径を有するチャネル領域12は、図9の(c)に示すような結晶化方法により得られる。非晶質シリコン膜あるいは多結晶シリコンに図9の(c)に示すような強度分布を有する傾斜型ライン状のレーザビームを照射する。レーザのパルス幅は100ナノ秒以上、1ミリ秒の範囲から選択されることが望ましい。シリコン半導体層の膜厚が100nm以下であり、チャネル長よりも大きいたとえば5ミクロンの粒径を得るために最適なレーザ条件は、パルス幅が10マイクロ秒、パワーは1wである。このような条件でレーザビームを照射すると、シリコン半導体層において、下方に絶縁膜50が設けられている領域から結晶化が開始される。なぜならば、絶縁膜50の熱伝導率が下層膜101、絶縁性基板100の熱伝導率よりも高いため、下方に絶縁膜50が設置されている半導体領域は、他の半導体膜領域と比較すると下方に放出される熱量が多くなり、温度の低

下が早く起こり、結晶化開始時間も早いので結晶核領域となる。本実施の形態では、絶縁性基板上に結晶核領域 30 を含む多晶質シリコン膜を生成した後、レーザービーム照射により半導体薄膜を熔融再結晶化して前記結晶核から粒を成長する工程を分離遂行することができる。絶縁性基板上の小粒径の多晶質シリコン膜からなる結晶核領域は、従来技術であるエキシマパルスレーザー照射による熔融再結晶化によりを生成することができる。本実施形態では、絶縁膜 50 を矩形上に加工したが、線状であっても同様の効果が得られる。絶縁膜 50 はシリコン窒化膜などが適している。

【0076】図 2 に半導体層、とくにチャネル領域の結晶性の様子を示す。少なくともチャネル領域 12 の主配向が上記ゲート絶縁膜の表面に対して $\{110\}$ であり、かつ上記ソース領域 20 とドレイン領域 19 を結ぶ方向にほぼ垂直な面の主配向が $\{100\}$ である多結晶シリコン膜から構成されている。また、チャネル領域 12 を構成する複数の結晶粒と結晶粒の間は、回転角が 70 度以下の小傾角粒界からなる。さらに、チャネル領域 12 の表面凹凸は 20 nm より小さく、内部引っ張り応力は 10^9 dyn/cm^2 以上、含まれる結晶欠陥密度は 10^{17} cm^{-3} 以下であり、チャネル領域 12 を含む半導体層全体に含まれる金属元素は 10^{19} cm^{-3} 以下である。

【0077】半導体薄膜を熔融再結晶化して多結晶半導体膜を形成するための製造方法と製造装置については、第 1 の実施の形態で図 3 に示したものを適応することにより、同様の効果が得られる。本実施例では、絶縁性基板上の合わせパターンは、図 11 における絶縁膜 51 の段差で検出することができる。

【0078】本実施により、ガラスなどの絶縁体基板上に、粒界、粒径、結晶方位を制御でき、結晶化の仮定で生じる膜のラフネスと結晶欠陥を低減した高品質の多結晶半導体膜を形成することができた。また、本実施例により、製造工程数の低減、大面積基板に適用容易、高いスループット、低価格で高品質の多結晶半導体膜を形成する製造方法、製造装置を実現した。さらに、本実施の形態で示した多結晶半導体膜を MIS 型電界効果トランジスタに適用すると、電界効果移動度が約 $300 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上、しきい電圧のバラツキを $\pm 0.2 \text{ V}$ 以下に抑制することができ、高性能、高信頼で動作し、デバイス間の均一性が優れた半導体装置が得られる効果がある。

【0079】＜実施の形態 4＞図 11 は、本発明の実施の形態 3 における半導体装置を説明するための図である。3 つの多結晶シリコン薄膜トランジスタの (a) は断面構造図、(b) は平面構造図を示す。図 11

(a)、(b) において、100 は絶縁性基板、101 は下層膜、51 は絶縁膜、18 はゲート電極、17 はゲート絶縁膜である。半導体層は、チャネル領域 1

2、ソース領域 20、ドレイン領域 19 から構成され、チャネル領域 12 は大粒径の多結晶シリコン膜からなる。シリコン半導体層と下層膜 101 の間には、選択的に絶縁膜 51 が挿入されている。絶縁膜 51 の熱伝導率は、下層膜 101 と絶縁性基板 100 の熱伝導率よりも小さい。

【0080】大粒径を有するチャネル領域 12 は、図 11 の (c) に示すような結晶化方法により得られる。非晶質シリコン膜あるいは多結晶シリコンに図 11 の

(c) に示すような強度分布を有する傾斜型ライン状のレーザービームを照射する。レーザーのパルス幅は 100 ナノ秒以上、1 ミリ秒の範囲から選択されることが望ましい。シリコン半導体層の膜厚が 100 nm 以下であり、チャネル長よりも大きいたとえば 5 ミクロンの粒径を得るために最適なレーザー条件は、パルス幅が 10 マイクロ秒、パワーは 1 W である。このような条件でレーザービームを照射すると、シリコン半導体層において、下方に絶縁膜 51 が設けられてない空隙領域から結晶化が開始される。なぜならば、絶縁膜 51 の熱伝導率が下層膜 101、絶縁性基板 100 の熱伝導率よりも高いため、下方に絶縁膜 51 が設置されている半導体領域は、他の半導体膜領域と比較すると下方に放出される熱量が多くなり、温度の低下が早く起こり、結晶化開始時間も早いので結晶核領域 42 となる。本実施の形態では、絶縁性基板上に結晶核領域 42 を含む多晶質シリコン膜を生成した後、レーザービーム照射により半導体薄膜を熔融再結晶化して前記結晶核から粒を成長する工程を分離遂行することができる。絶縁性基板上の小粒径の多晶質シリコン膜からなる結晶核領域は、従来技術であるエキシマパルスレーザー照射による熔融再結晶化によりを生成することができる。絶縁膜 51 は密度が小さく、誘電率が小さい絶縁膜、ポーラスなシリコン酸化膜などが適している。

【0081】図 2 に半導体層、とくにチャネル領域の結晶性の様子を示す。少なくともチャネル領域 12 の主配向が上記ゲート絶縁膜の表面に対して $\{110\}$ であり、かつ上記ソース領域 20 とドレイン領域 19 を結ぶ方向にほぼ垂直な面の主配向が $\{100\}$ である多結晶シリコン膜から構成されている。また、チャネル領域 12 を構成する複数の結晶粒と結晶粒の間は、回転角が 70 度以下の小傾角粒界からなる。さらに、チャネル領域 12 の表面凹凸は 20 nm より小さく、内部引っ張り応力は 10^9 dyn/cm^2 以上、含まれる結晶欠陥密度は 10^{17} cm^{-3} 以下であり、チャネル領域 12 を含む半導体層全体に含まれる金属元素は 10^{19} cm^{-3} 以下である。

【0082】半導体薄膜を熔融再結晶化して多結晶半導体膜を形成するための製造方法と製造装置については、第 1 の実施の形態で図 3 に示したものを適応することにより、同様の効果が得られる。本実施例では、絶縁性基板上の合わせパターンは、図 11 における絶縁膜 50 の

段差で検出することができる。

【0083】本実施により、ガラスなどの絶縁体基板上に、粒界、粒径、結晶方位を制御でき、結晶化の仮定で生じる膜のラフネスと結晶欠陥を低減した高品質の多結晶半導体膜を形成することができた。また、本実施例により、製造工程数の低減、大面積基板に適用容易、高いスループット、低価格で高品質の多結晶半導体膜を形成する製造方法、製造装置を実現した。さらに、本実施の形態で示した多結晶半導体膜をMIS型電界効果トランジスタに適用すると、電界効果移動度が約 $300 \text{ cm}^2/\text{V} \cdot \text{s}$ 以上、しきい電圧のバラツキを $\pm 0.2 \text{ V}$ 以下に抑制することができ、高性能、高信頼で動作し、デバイス間の均一性が優れた半導体装置が得られる効果がある。

【0084】本願発明によれば、ガラスなどの絶縁体基板上に、粒界、粒径、結晶方位を制御でき、結晶化の仮定で生じる膜のラフネスと結晶欠陥を低減した高品質の多結晶半導体膜を有する半導体装置が得られる効果がある。また、製造工程数の低減、大面積基板に適用容易、高いスループット、低価格で高品質の多結晶半導体膜を形成する製造方法と製造装置を実現できる効果がある。さらに、ガラスなどの安価な絶縁体基板上に高性能、高信頼で動作し、デバイス間の均一性が優れた、高品質の多結晶半導体膜を形成する製造方法、製造装置、前記多結晶半導体膜を適用した半導体装置が得られる効果がある。

【0085】

【発明の効果】本願発明のよれば、非晶質基板に高品質な薄膜半導体装置を実現することが出来る。更に、これに供し得る多結晶半導体薄膜の製造方法を提供する。更には、こうした製造方法に有用な製造装置を提供する。

【図面の簡単な説明】

【図1】図1は、本発明第1の実施例による半導体装置の図である。

【図2】図2は、本願発明の第1の実施例による半導体

装置を説明するための図である。

【図3】図3は、本願発明に係わる半導体装置の製造方法を説明する為の工程順に示した断面図である。

【図4】図4は、本願発明の製造装置の構成の概念図である。

【図5】図5は、レーザビームの強度の時間的変化の諸例を示す図である。

【図6】図6は、レーザビームの強度の空間的な諸分布の例を示す図である。

【図7】図7は、本願発明の第2の実施例による半導体装置を説明する為の図である。

【図8】図8は、本願発明に係わる半導体装置の製造方法を説明する為の工程順に示した断面図である。

【図9】図9は、本願発明の第3の実施例による半導体装置を説明する為の図である。

【図10】図10は、本願発明に係わる半導体装置の製造方法を説明する為の工程順に示した断面図である。

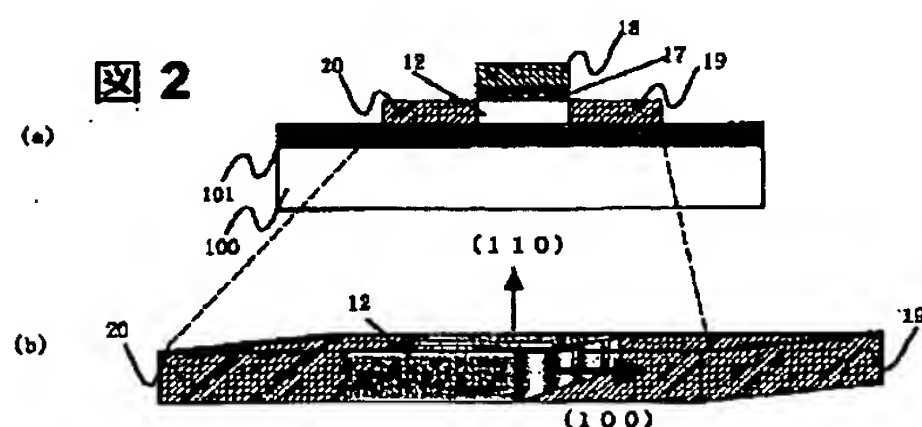
【図11】図11は、本願発明の第4の実施例による半導体装置を説明する為の図である。

【図12】図12は、従来のレーザビームの照射の例を示す斜視図である。

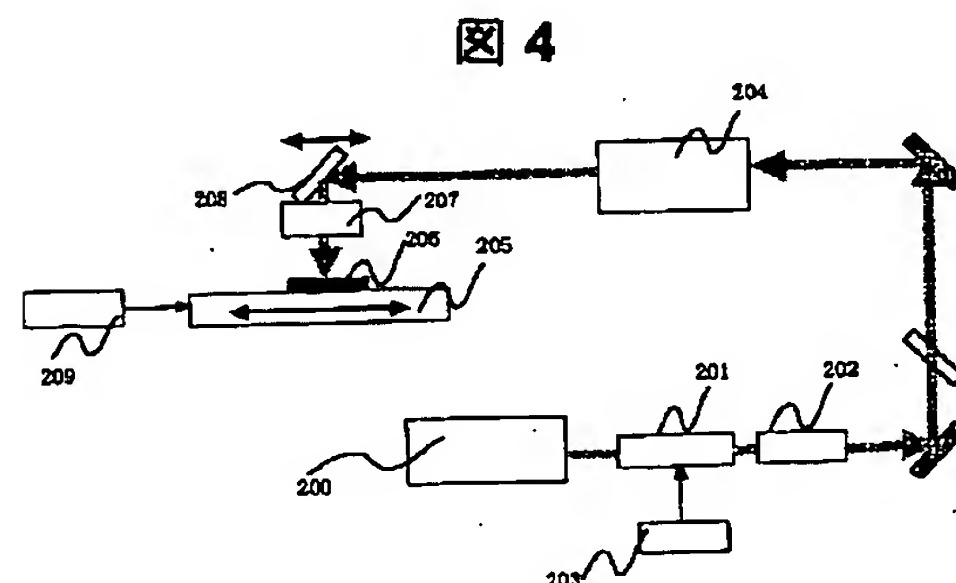
【符号の説明】

100……絶縁性基板、101……下層膜、102……非晶質シリコン膜、103……多結晶シリコン膜、105……レーザビーム、10……半導体層、12……チャネル領域、17……ゲート絶縁膜、18……ゲート電極、19……ドレイン領域、20……ソース領域、30……結晶核領域、31---40……絶縁膜、41……半導体層、42……結晶核領域、50、51……絶縁膜、200……CWレーザ、201……EO変調器、202……偏光子、204……ビーム整形ユニット、205……基板走査ユニット、206……絶縁性基板、207……結像レンズ、209……ミラー、207……結像レンズ、110……半導体層。

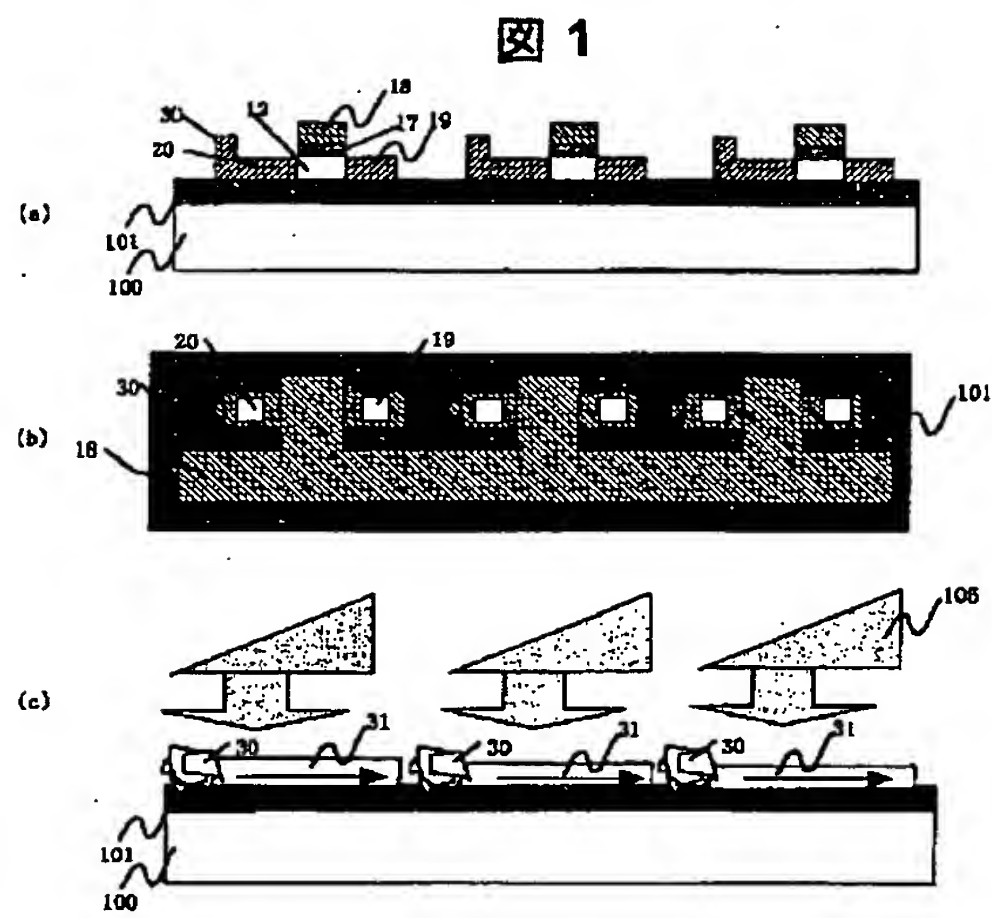
【図2】



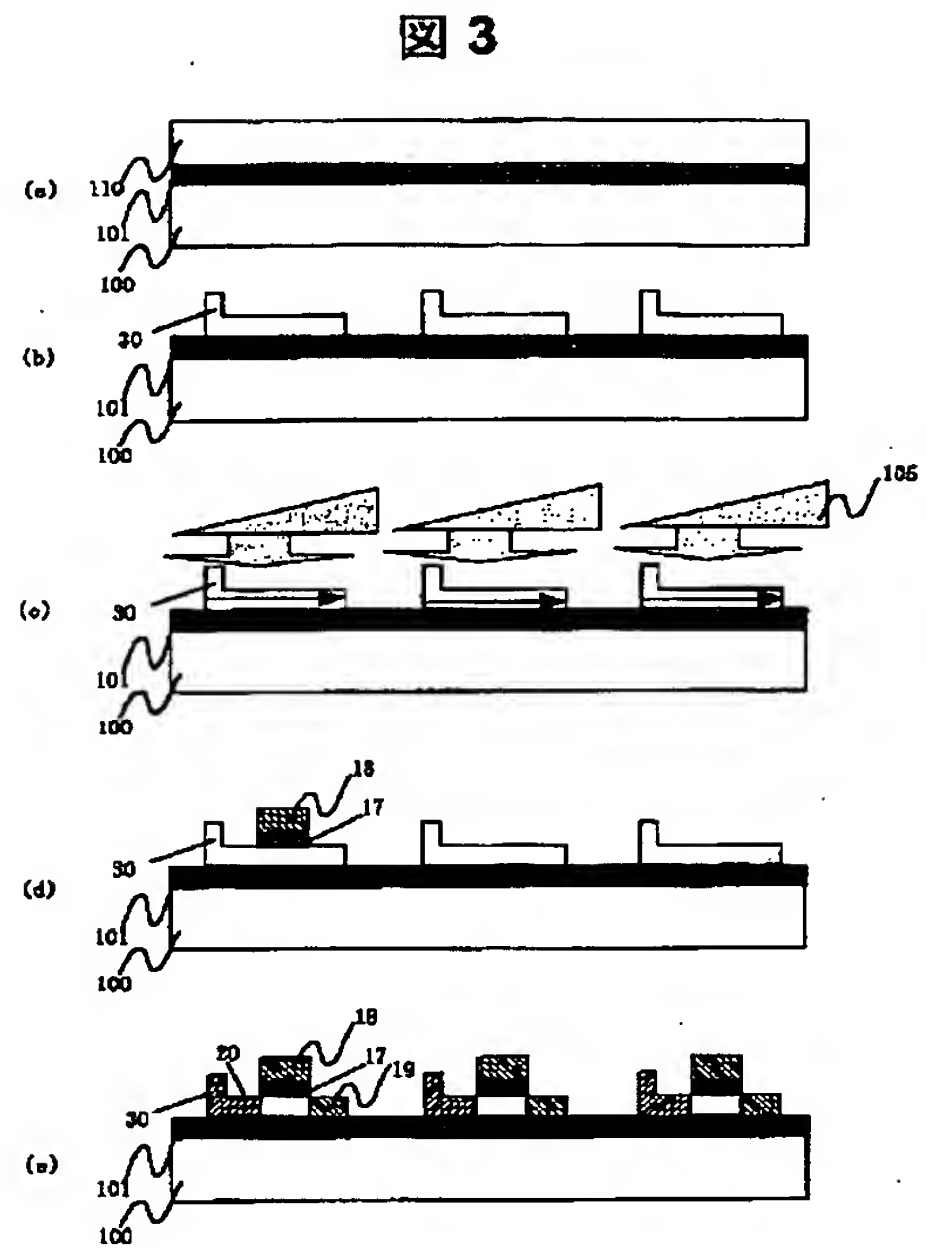
【図4】



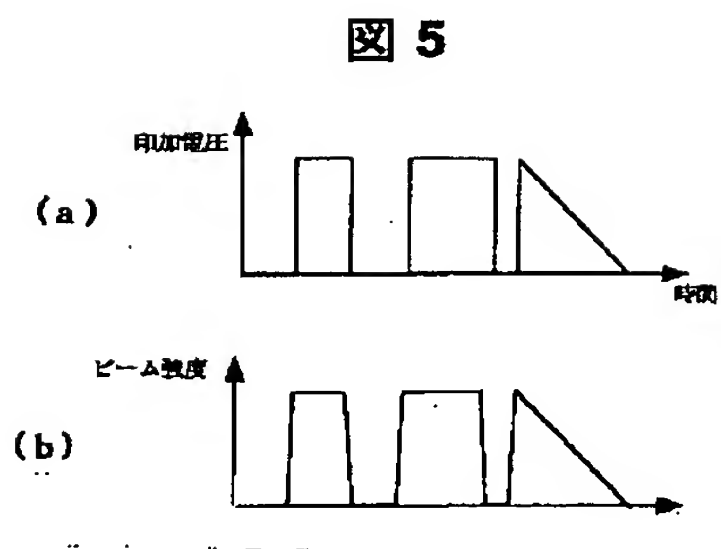
【図1】



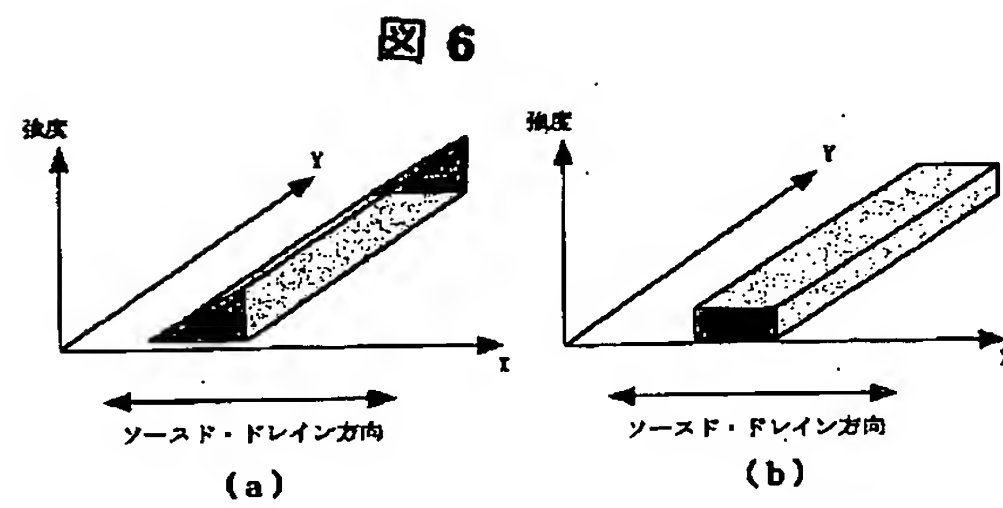
【図3】



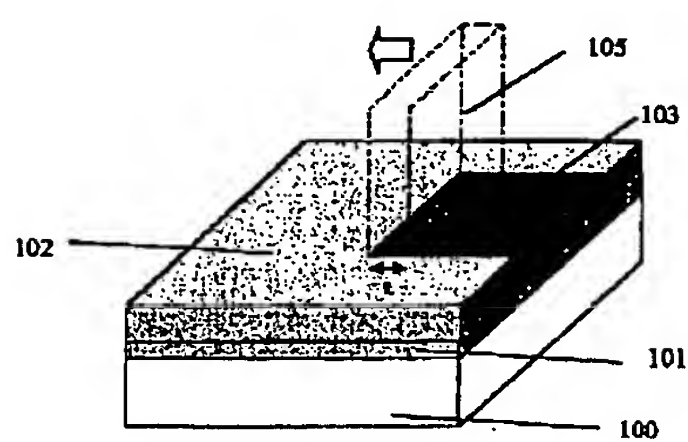
【図5】



【図6】

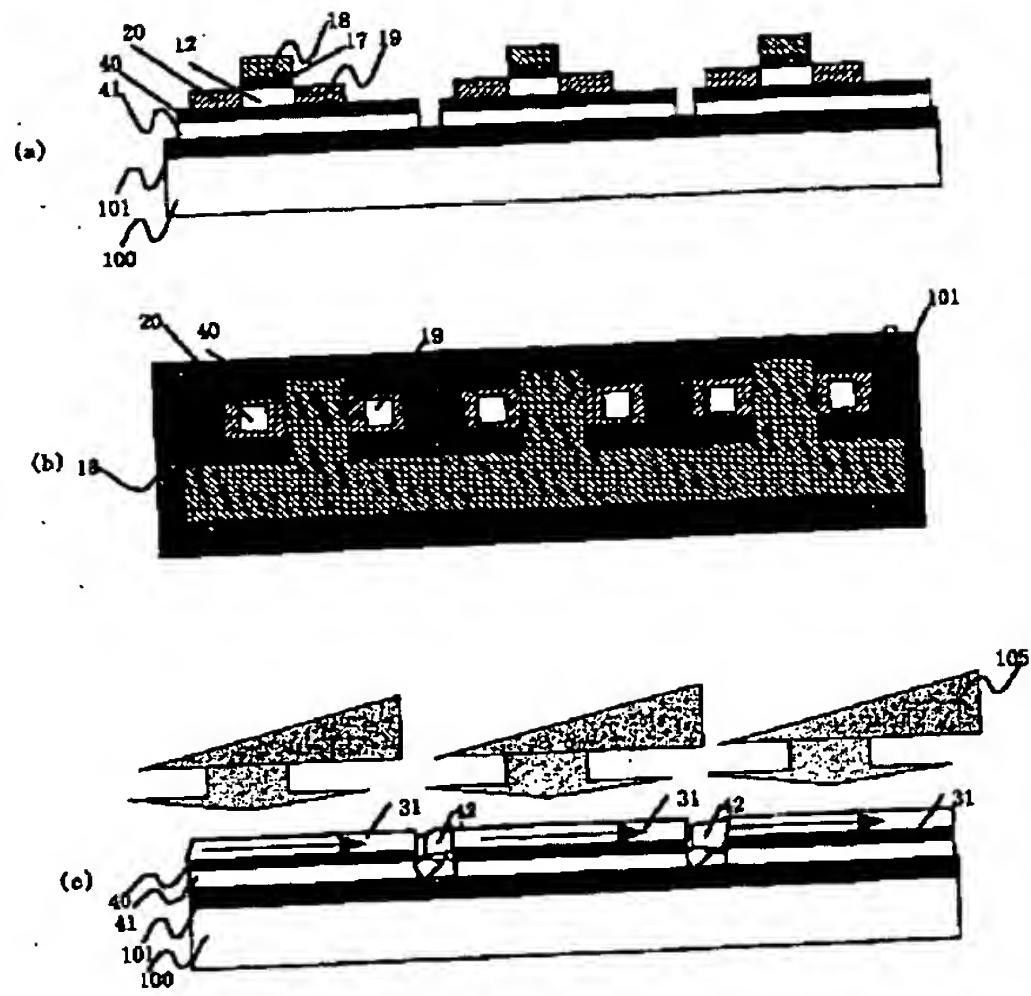


【図12】

図 12

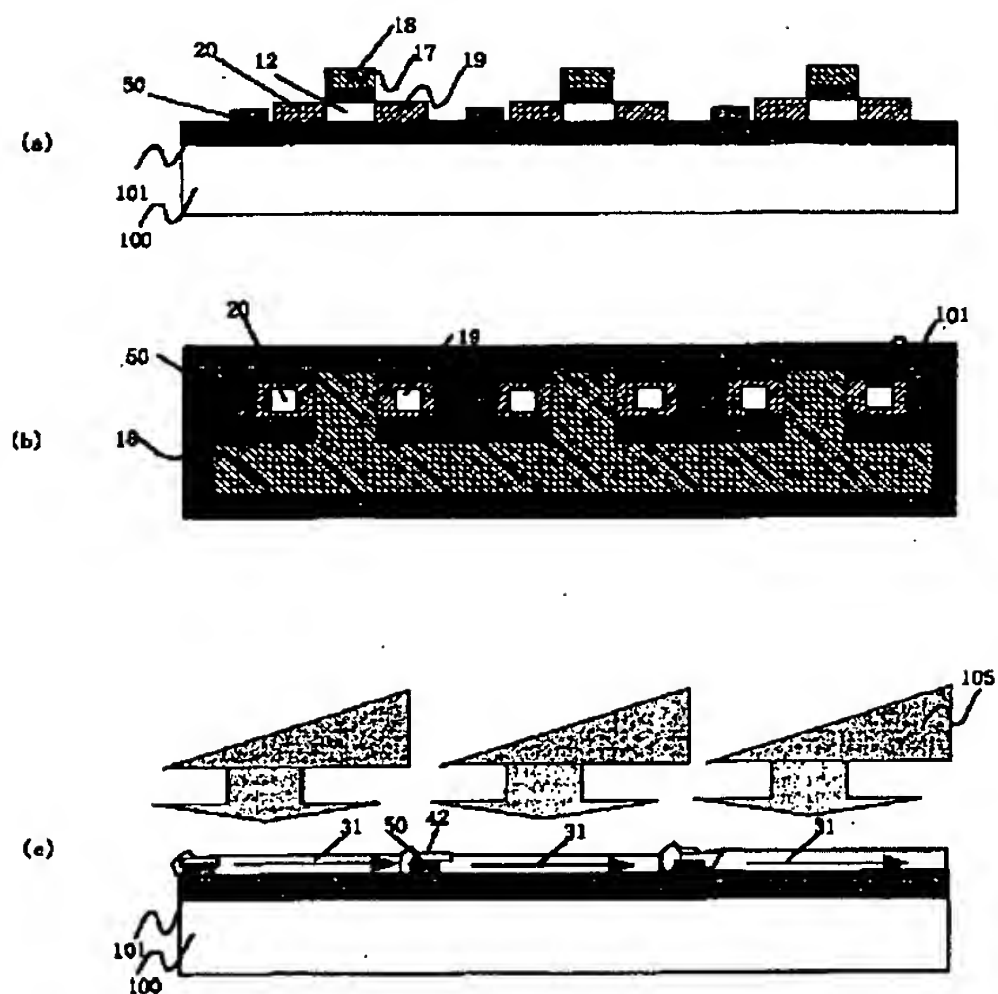
【図7】

図7



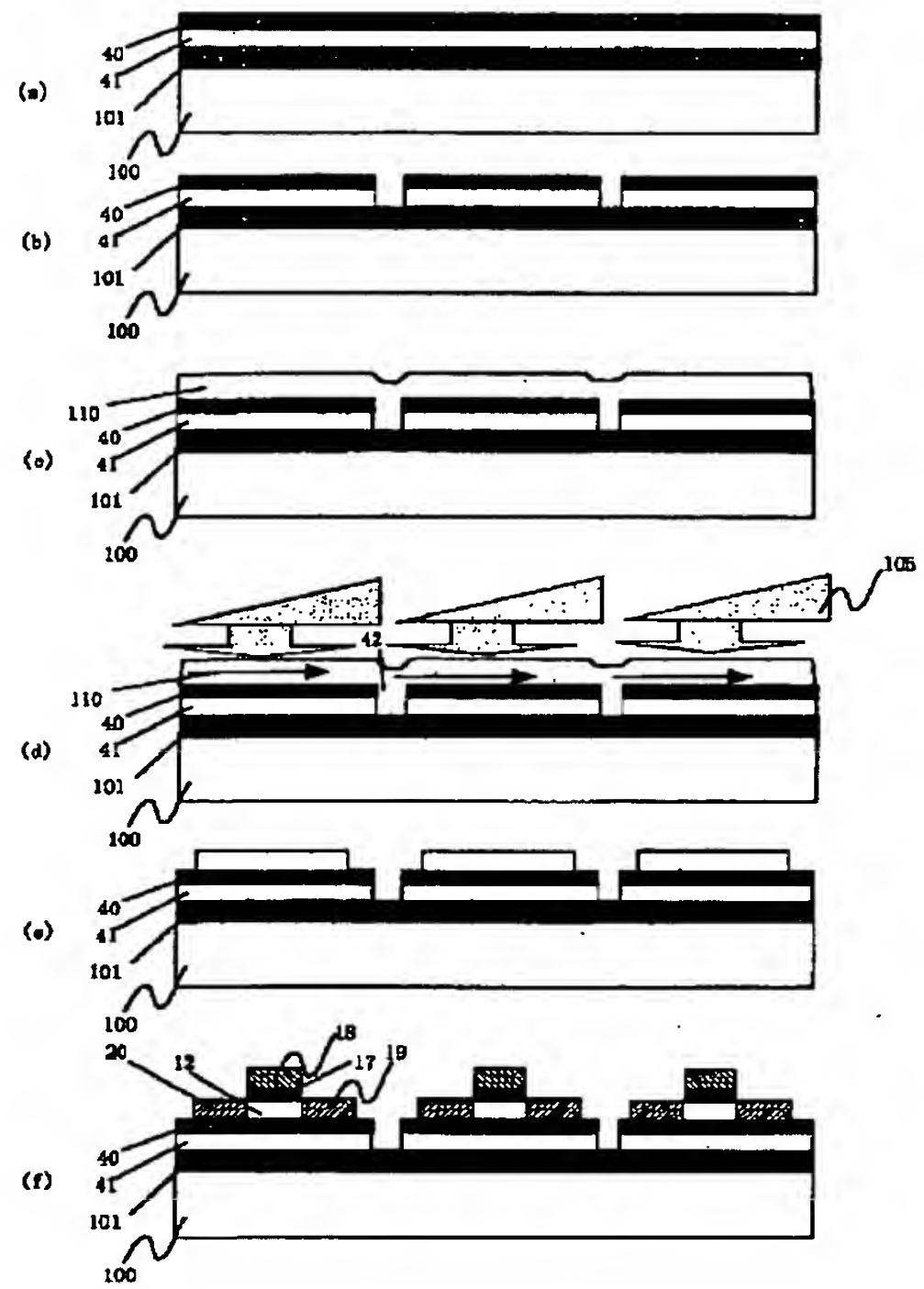
【図9】

図9



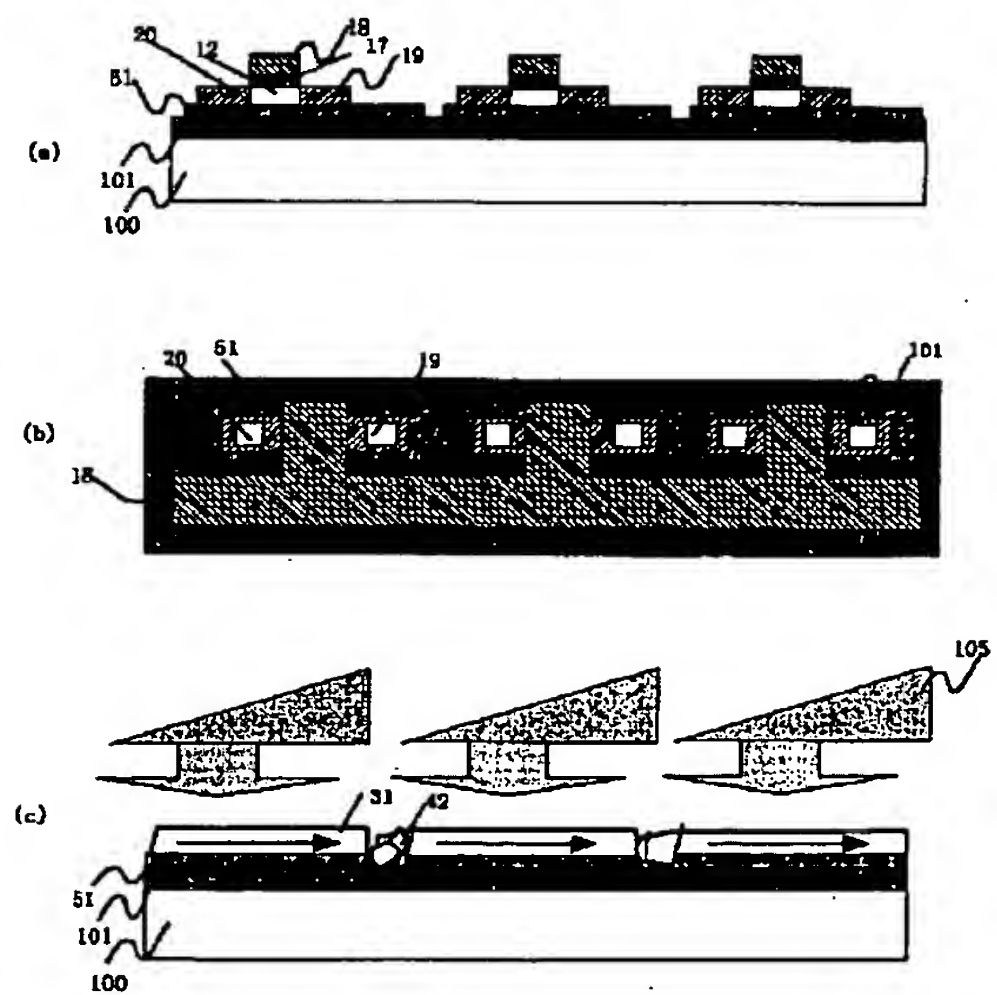
【図8】

図8



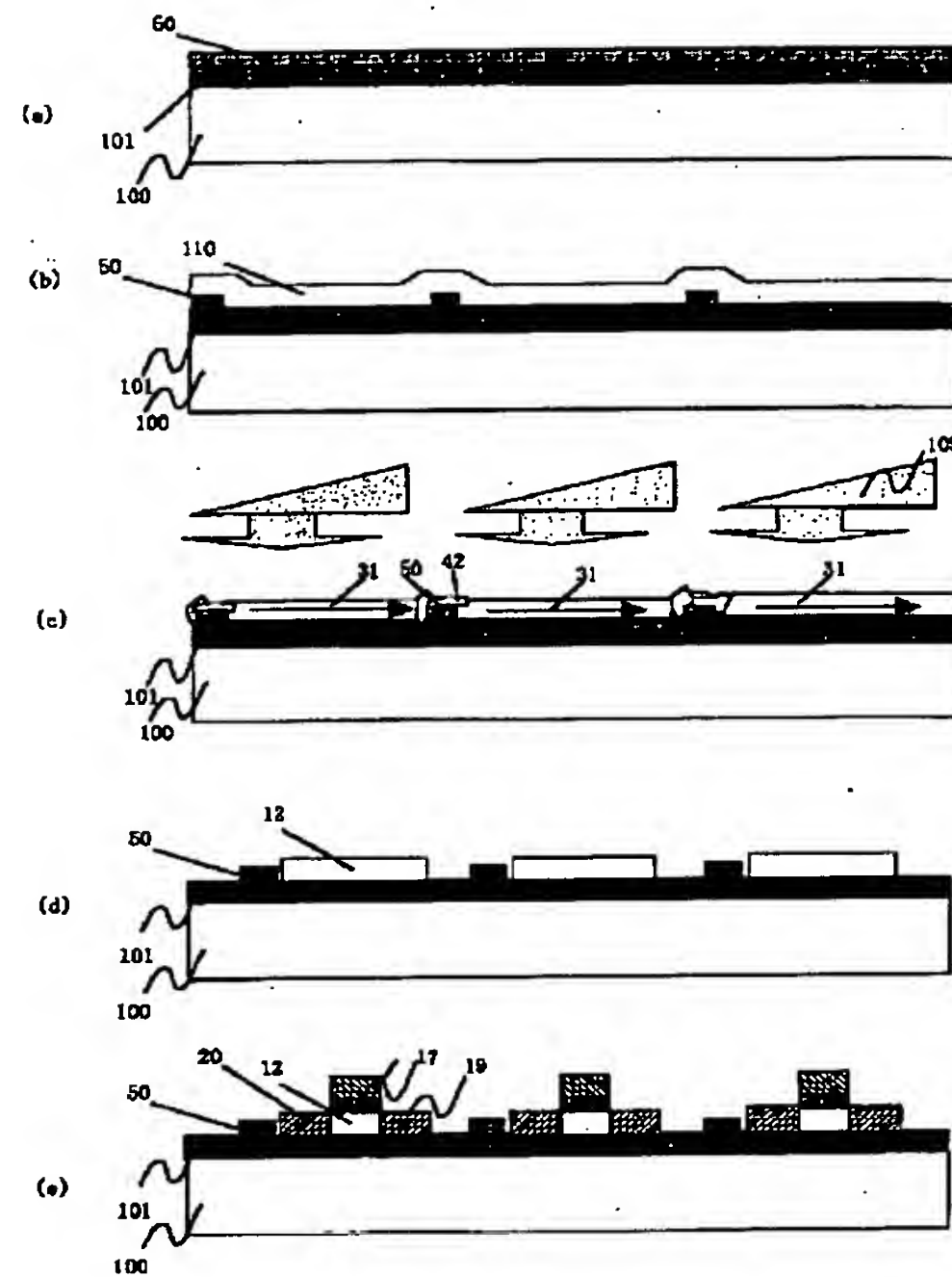
【図11】

図11



【図 10】

図 10



フロントページの続き

(72)発明者 木村 嘉伸
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内
(72)発明者 朴 成基
茨城県日立市大みか町七丁目 1 番 1 号 株
式会社日立製作所日立研究所内

Fターム(参考) 5F052 AA02 BA07 BB07 CA04 CA10
DA01 DA02 DB01 EA11 EA15
FA01 FA22 JA01
5F110 AA16 AA30 CC02 DD02 DD13
DD14 DD17 GG02 GG13 GG16
GG17 GG25 HJ01 HJ13 PP03
PP04 PP05 PP06 PP24 PP36